

POLITECNICO DI BARI



ALTERA Contest - Innovate Italy
2010

Recupero della frequenza di campionamento in Ricevitori DVB-T

Antonio Argentieri e Felice Francesco Tafuri



Sommario

- Team members
- Sampling Frequency Offset
- Caratteristiche innovative del progetto
- Parametri di performances
- Diagramma a blocchi Hardware
- Software flow chart
- Implementazione su FPGA
- Conclusioni



Team members

Dott. Ing. Antonio Argentieri
PhD Engineer at Polytechnic of Bari



Ing. Felice Francesco Tafuri
Master Degree in Electronics
Engineering



Prof. Cataldo Guaragnella
Team Supervisor
Professor at Polytechnic of Bari

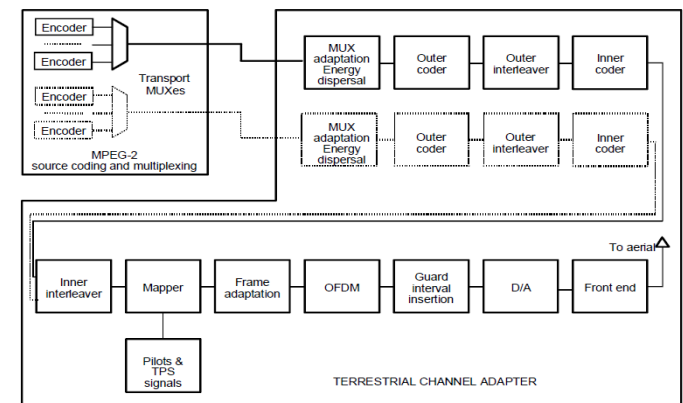
Sampling Frequency Offset

Introduzione

– Lo schema a blocchi di un sistema di telecomunicazioni DVB-T (Digital Video Broadcasting Terrestrial) è definito dallo standard ETSI EN 300 744.

Il flusso di bit (Transport Stream) contenente audio e video del segnale televisivo digitalizzato e compresso MPEG-2 viene elaborato prima mediante una precodifica (Reed-Solomon, FEC) e poi mappato mediante delle Look Up Table che trasformano il Transport Stream in una sequenza $S(k)$ di simboli M-QAM. Un operazione di IFFT implementa la modulazione di N coppie di portanti in quadratura ortogonali tra loro (OFDM) :

$$s_{ln} = \frac{1}{N} \sum_{k=0}^{N-1} s_{lk} e^{j\frac{2\pi}{N}kn}$$



Sampling Frequency Offset

Modulazione COFDM - Nel segnale DVB-T modulato COFDM viene inserito un Intervallo di Guardia al termine di ogni simbolo, successivamente seguono una conversione in analogico e la modulazione a RF usando ad esempio un mixer a 2 portanti in quadratura.

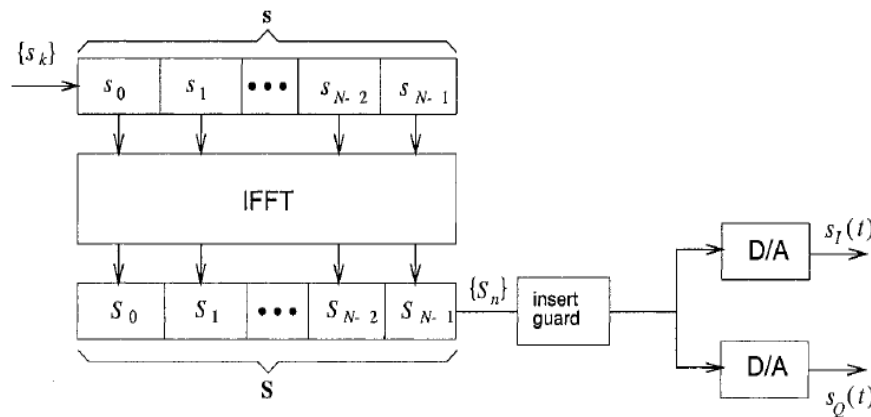


Fig. 1 Modulazione OFDM

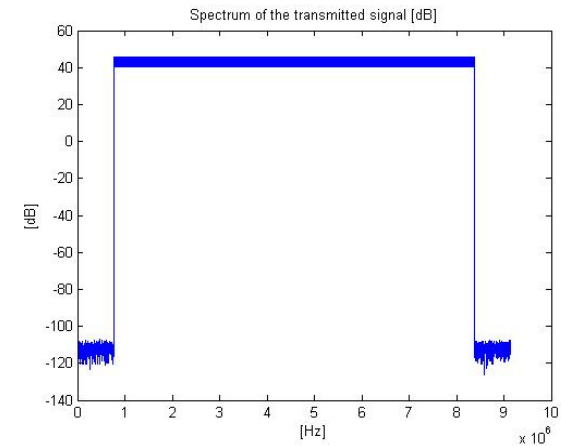


Fig. 2 Spettro DVB-T in banda base

Sampling Frequency Offset

Sampling Frequency Offset - I ricevitori DVB-T sono affetti da una serie di problemi che è necessario risolvere al fine di ottenere prestazioni accettabili.

Il problema affrontato in questo lavoro è quello della compensazione del mismatch esistente tra il riferimento di frequenza di campionamento di ricevitore e trasmettitore. Lo standard ETSI TR 101 190 definisce una precisione sulla posizione delle portanti di 4.46 Hz in modalità 2k e di 1.12 Hz in modalità 8k, perciò l'obiettivo del sistema progettato è quello di stimare e compensare disturbi SFO dell'ordine di $0.1 \div 1$ HZ.

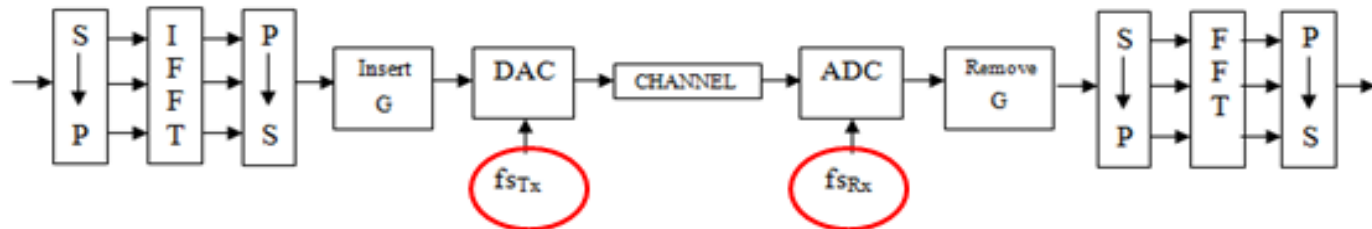


Fig. 3 SFO nel sistema di TLC OFDM

Caratteristiche innovative del Progetto

Stima e compensazione dell'SFO - L'algoritmo qui presentato per la stima e la compensazione dell'SFO si basa su un'operazione di crosscorrelazione simbolo per simbolo tra il simbolo stesso ed il suo Intervallo di Guardia :

$$R_{r^k r_G^k}(n) = \sum_{i=0}^{G-1} r_G^k(i) r^k(i-n)^* \quad (15.4)$$

$$\tilde{N} = \left| \left(\begin{matrix} \text{indice} \\ \text{picco 1} \end{matrix} \right) - \left(\begin{matrix} \text{indice} \\ \text{picco 2} \end{matrix} \right) \right|$$

$$\Delta T = N T_1 = \tilde{N} T \quad \Rightarrow \quad \hat{T}_1 = \frac{\Delta T}{N} = \frac{\tilde{N} T}{N}$$

$$\hat{f}_{sT} = \hat{f}_{s1} = \frac{1}{\hat{T}_1} = \frac{N}{\tilde{N}} f_s$$

$$\widehat{SFO} = \widehat{\Delta f} = \hat{f}_{sT} - f_s$$

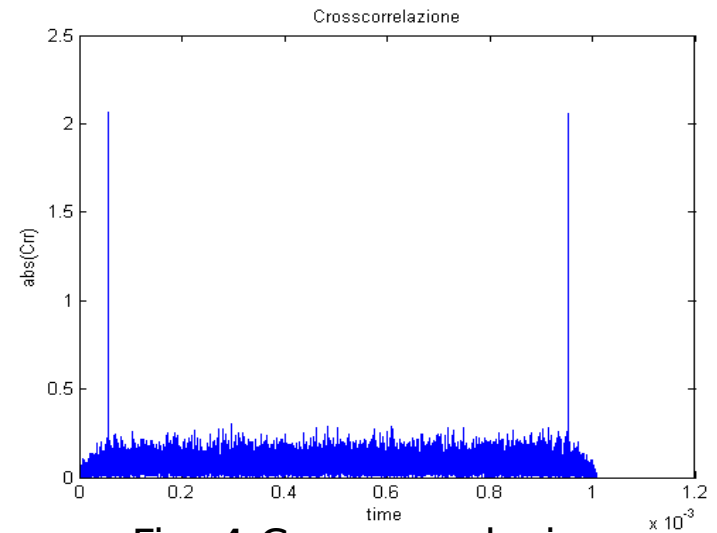


Fig. 4 Crosscorrelazione su un simbolo DVB-T

Caratteristiche innovative del Progetto

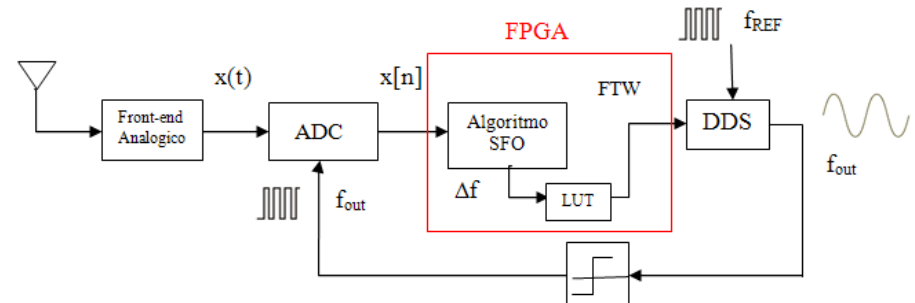
Stima e compensazione dell'SFO - La Crosscorrelazione presenta due picchi in corrispondenza della perfetta sovrapposizione tra l'Intervallo di Guardia e le sue due repliche presenti in ogni simbolo.

L'SFO stimato viene inviato al sistema di compensazione basato su uno schema in retroazione con utilizzo di un DDS (Direct Digital Synthesizer).

La stima prodotta dall'algoritmo ha una risoluzione tanto maggiore quanto più si sovracampiona la sequenza ricevuta.

$$|\Delta f_{min_{OVS}}| = \frac{1}{\Delta T k_o} \approx \frac{4.46 \text{ kHz}}{k_o} \quad (\text{modalità } 2k)$$

$$\approx \frac{1.12 \text{ kHz}}{k_o} \quad (\text{modalità } 8k)$$



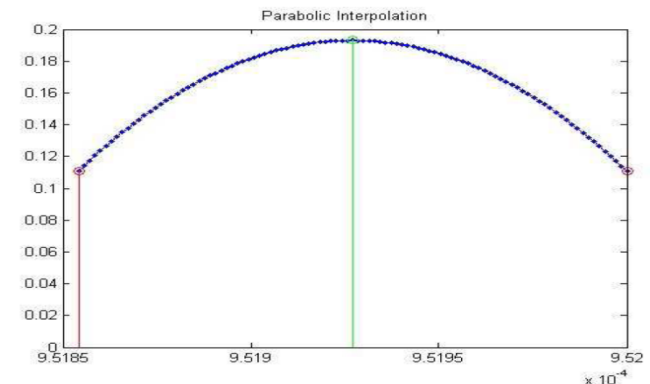
Caratteristiche innovative del Progetto

Ottimizzazione della stima - Usando tecniche di ottimizzazione e post processing è stato possibile ottenere risoluzioni elevate sovracampionando di un fattore piccolo ($k_0 = 3 \div 5$).

In particolare è stata usata un'interpolazione parabolica intorno ai picchi di Crosscorrelazione. Il nuovo picco della parabola è stato risolto con il Metodo di Eliminazione di Gauss. La matrice del sistema ha sempre elementi non nulli; non è stata necessaria nessuna tecnica di pivoting .

$$\begin{bmatrix} y_0 \\ y_1 \\ y_2 \end{bmatrix} = \begin{bmatrix} x_0^2 & x_0 & 1 \\ x_1^2 & x_1 & 1 \\ x_2^2 & x_2 & 1 \end{bmatrix} \begin{bmatrix} a \\ b \\ c \end{bmatrix} \Rightarrow P: y = ax^2 + bx + c$$

$$P : y = ax^2 + bx + c \quad \Rightarrow \quad x_{max} = -\frac{b}{2a}$$





Parametri di performances

Valori attesi

In questo progetto I parametri di performances sono essenzialmente 2 :

- Processing Time;
- Precisione sulla stima Δf .

Per la precisione della stima I valori attesi sono $\Delta f = 1 \div 10$ Hz

Performances ottenute

Precisione di stima : Le performances sulla stima Δf hanno raggiunto gli obiettivi prefissati, così come ottenuto in simulazione MatLab.

Processing Time : Purtroppo il tempo di processing misurato è di alcuni secondi e resta il collo di bottiglia del progetto.

Da calcoli teorici risulta che usando una modalità DVB-T $N=8192$ e un intervallo di guardia $G = N \times \Delta = 2048$ il costo computazionale del calcolo della Crosscorrelazione è pari a **1,21 Gflops** usando un fattore di sovracampionamento $k_o = 3$.

$$(N*k_o)*N*\Delta*k_o*2 = (8192*3)*2048*3*(6+2) = \mathbf{1,21\ Gflops}$$



Diagramma a blocchi Hardware

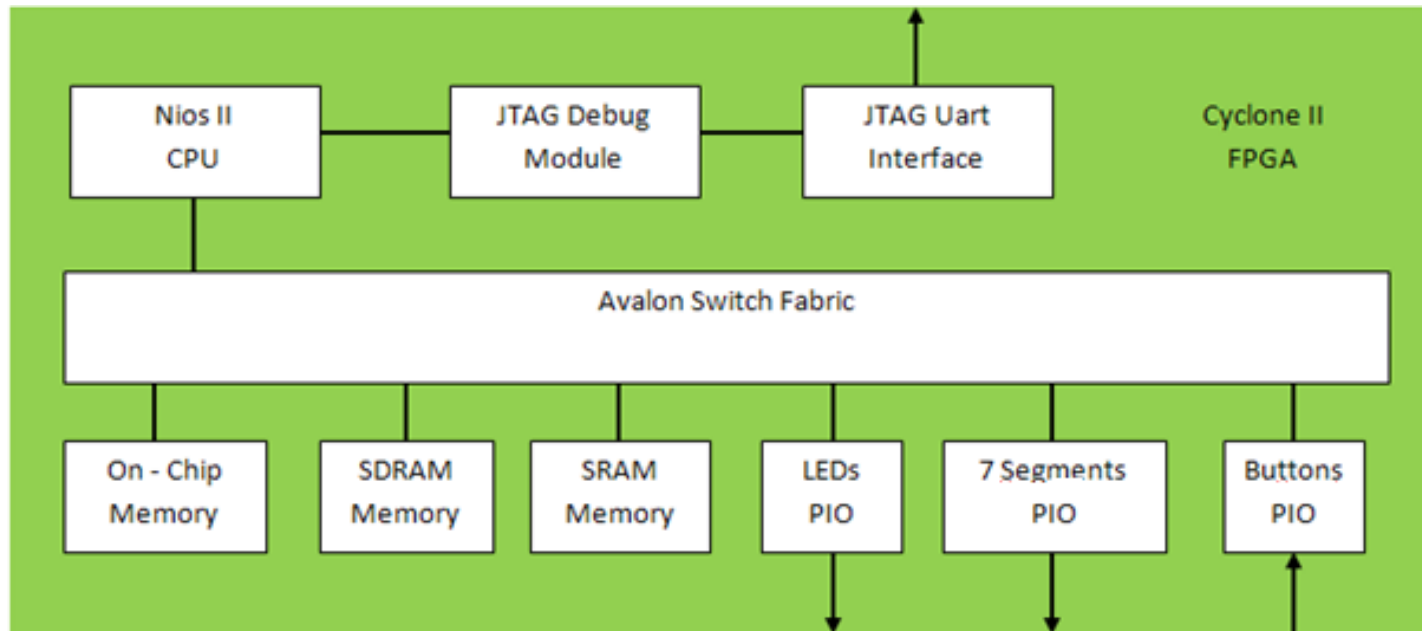
Il sistema hardware impiegato è stato progettato a partire dal sistema di esempio fornito con la board DE1 costituito dai seguenti componenti :

- 1) Nios II CPU;
- 2) JTAG UART Interface;
- 3) On-chip memory;
- 4) Flash memory interface con Tristate bridge;
- 5) SRAM memory;
- 6) SDRAM memory;
- 7) Seven Segments Display parallel output interface;
- 8) LEDs parallel output interface;
- 9) Buttons parallel input interface.

Il sistema usa la SRAM come memoria di programma e la SDRAM come memoria dati.

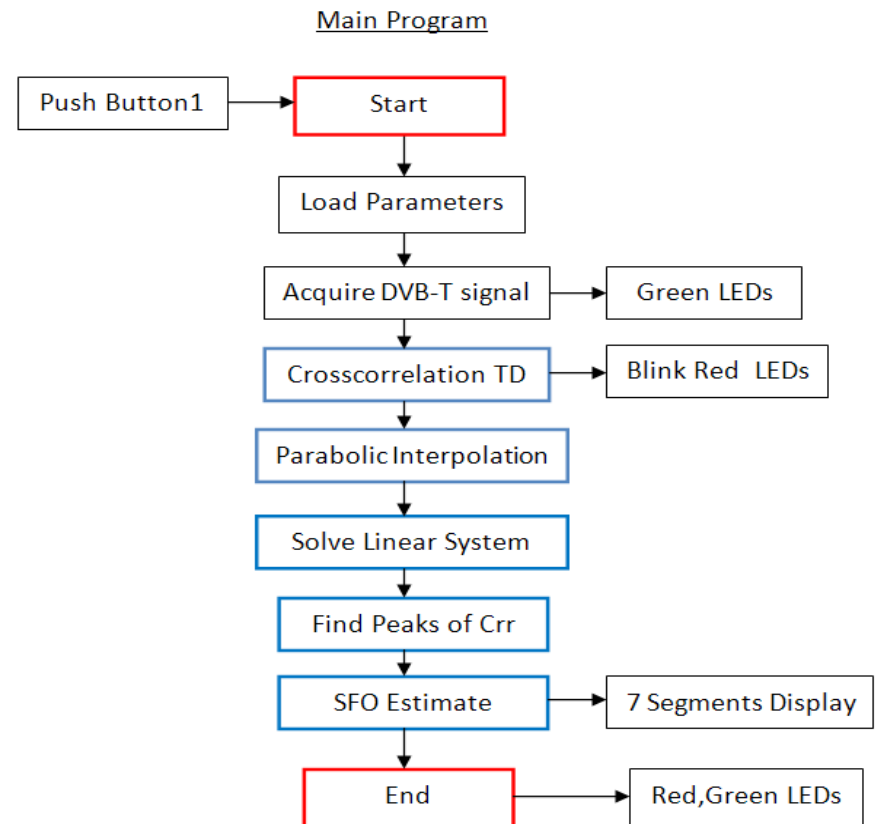
Diagramma a blocchi Hardware

Le varie periferiche sono collegate nel System on Chip implementato secondo il seguente schema a blocchi :



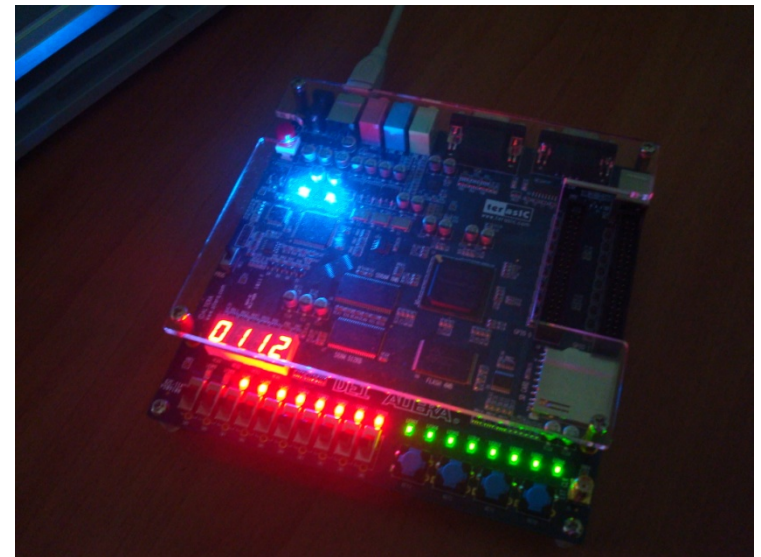
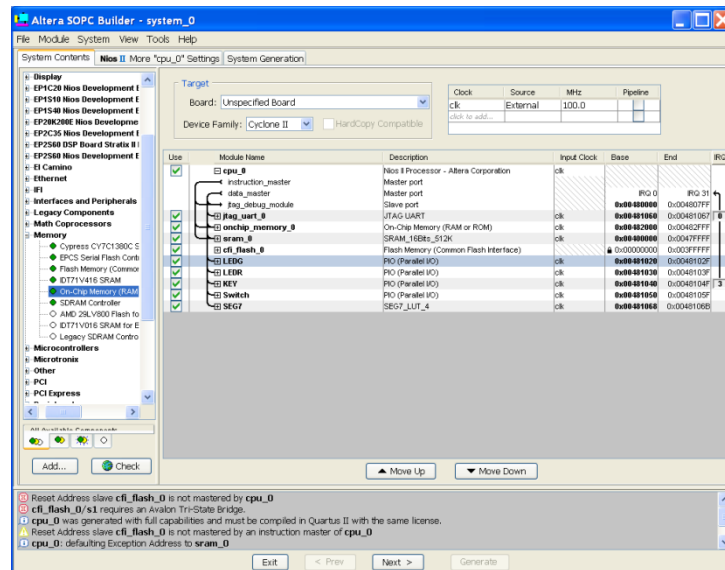
Software flow chart

Nel progetto l'acquisizione del segnale DVB-T è stata simulata mediante la lettura di file di testo prodotti in ambiente MatLab. Il Main chiama le varie funzioni del programma ed evidenzia lo stato di avanzamento mediante l'accensione dei LED di diverso colore. La stima effettuata viene visualizzata sul display a 7 segmenti. L'accensione dei diversi tipi di LED permette di stimare il tipo di processing.



Implementazione su FPGA

Dopo aver implementato il sistema in hardware col tool SOPC builder, è stato progettato il software col Nios II IDE. Programmando la scheda DE1 col tool Programmer del Quartus II è stato testato il software progettato in modalità debugging, sfruttando l'Host File System per la lettura dei file di testo.



Conclusioni

La figura seguente mostra come il Nios II su Cyclone II raggiunga una potenza di calcolo di 145 MIPS nella sua versione fast. Gli sviluppi futuri prevedono l'abbattimento del tempo di Crosscorrelazione.

Table 2. MIPS for Nios II Processor System *(Note 1)* (Part 1 of 2)

Device Family	Device Used	Nios II/f	Nios II/s	Nios II/e
Stratix V <i>(1)</i>	5SGXMA3H2F35C2	320	170	50
Stratix IV <i>(1)</i>	EP4SGX230HF35C2	340	155	50
Stratix III	EP3SL150F1152C2	340	140	48
Stratix II	EP2S60F1020C3	250	110	45
Stratix	EP1S80F1020C5	170	80	27
HardCopy IV	HC4E35FF1152	345	180	45
HardCopy III <i>(1)</i>	HC322FF1152	260	140	30
HardCopy II	HC230F1020C	230	130	50
HardCopy Stratix	EP1S80F1020C5_HC	165	85	27
Cyclone IV GX	EP4CGX30CF19C6	190	70	30
Cyclone III LS	EP3CLS70F484C7	160	70	20
Cyclone III	EP3C40F324C6	195	90	30
Cyclone II	EP2C20F484C6	145	55	18
Cyclone	EP1C20F400C6	130	52	17

Conclusioni

Per ottenere un tempo di processing minore la soluzione alternativa è quella di realizzare in hardware il correlatore usando il Tool DSP builder del Quartus II integrato in ambiente MatLab/Simulink.

La correlazione su FPGA diventa così più veloce.
Il risultato viene poi trasmesso al Nios II implementato sulla stessa scheda con tutte le periferiche necessarie, per continuare l'esecuzione dell'algoritmo fino ad ottenere la stima di SFO desiderata.

